

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-273348

(43)Date of publication of application : 26.09.2003

(51)Int.Cl.

H01L 29/78  
H01L 21/318  
H01L 21/8238  
H01L 27/092  
H01L 29/423  
H01L 29/49

(21)Application number : 2002-063102

(71)Applicant : PROMOS TECHNOLOGIES INC

(22)Date of filing : 08.03.2002

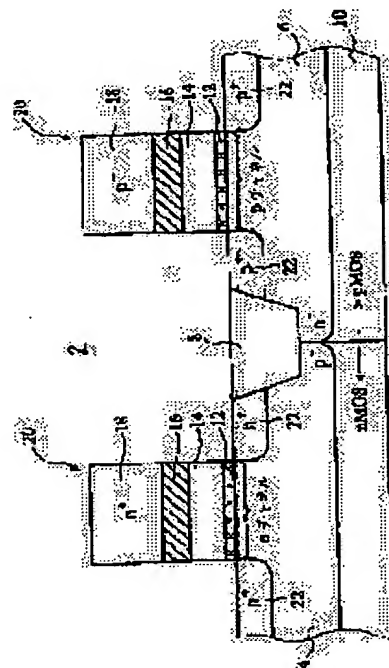
(72)Inventor : SHII-CHUN SON

## (54) METHOD FOR FORMING DIFFUSE BARRIER LAYER IN SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for preventing dopant boron from being diffused from a gate electrode to a channel area and a semiconductor device.

**SOLUTION:** A silicon nitride barrier layer for preventing the diffusion of in-gate electrode layer impurity is formed by the chemical reaction of tetrachlorosilane and ammonia between a gate electrode layer and a gate dielectric layer with a high dielectric coefficient.



## LEGAL STATUS

[Date of request for examination]

08.03.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-273348  
(P2003-273348A)

(43) 公開日 平成15年9月26日 (2003.9.26)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H 0 1 L	29/78	H 0 1 L 21/318	M 4 M 1 0 4
	21/318	29/78	3 0 1 G 5 F 0 4 8
	21/8238	27/08	3 2 1 D 5 F 0 5 8
	27/092	29/58	G 5 F 1 4 0
	29/423		

審査請求 有 請求項の数14 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願2002-63102(P2002-63102)

(22) 出願日 平成14年3月8日 (2002.3.8)

(71) 出願人 599116351

プロモス テクノロジーズ インコーポレ  
イテッド

P r o M O S T e c h n o l o g i e s  
I n c .

台湾, シンチュ, サイエンスベースド  
インダストリアル パーク, リーシン ロ  
ード, 19番, 3 F

(74) 代理人 100070150

弁理士 伊東 忠彦 (外2名)

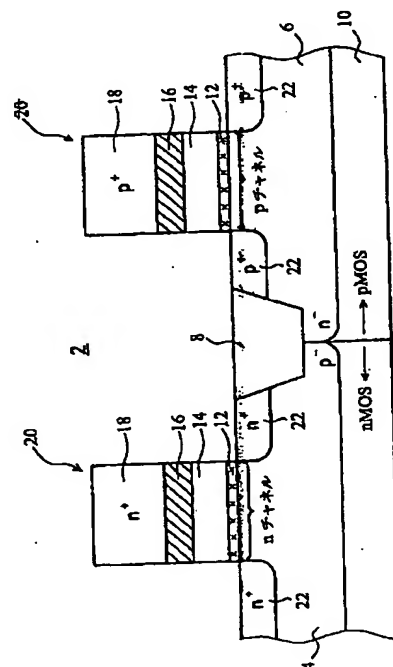
最終頁に続く

(54) 【発明の名称】 半導体装置における拡散障壁層の形成方法、半導体装置

(57) 【要約】

【課題】 ドーピングされた硼素がゲート電極からチャネル領域へ拡散することを防止する方法及び半導体装置を提供する。

【解決手段】 ゲート電極層と高誘電係数のゲート誘電層の間に、テトラクロロシランとアンモニアとの化学反応で、ゲート電極層内不純物の拡散を阻止するための窒化シリコン障壁層を形成する。



## 【特許請求の範囲】

【請求項1】 基板に高誘電係数のゲート誘電層を形成する段階と、

前記ゲート誘電層に、CVD法を利用し且つテトラクロロシランとアンモニアとの化学反応で、後続に形成されるゲート電極層内不純物の拡散を阻止するための窒化シリコン障壁層を形成する段階とからなる半導体装置における拡散障壁層の形成方法。

【請求項2】 前記ゲート誘電層の誘電係数は8-1000であることを特徴とする請求項1に記載の半導体装置における拡散障壁層の形成方法。

【請求項3】 前記ゲート誘電層は金属酸化物またはシリケートから形成されることを特徴とする請求項1または2に記載の半導体装置における拡散障壁層の形成方法。

【請求項4】 前記窒化シリコン障壁層の厚みは5-20Åであることを特徴とする請求項1乃至3のうちいずれか一項に記載の半導体装置における拡散障壁層の形成方法。

【請求項5】 前記窒化シリコン障壁層はLPCVD法を利用して且つ725°C-825°Cで形成されることを特徴とする請求項1乃至4のうちいずれか一項に記載の半導体装置における拡散障壁層の形成方法。

【請求項6】 前記ゲート誘電層を形成する段階の前に、基板に窒化層を形成する段階が行われることを特徴とする請求項1乃至5のうちいずれか一項に記載の半導体装置における拡散障壁層の形成方法。

【請求項7】 ゲート電極層と高誘電係数のゲート誘電層との間に位置し前記ゲート電極層内不純物の拡散を阻止する窒化シリコン障壁層を有する半導体装置であって、

前記窒化シリコン障壁層はCVD法を利用し且つテトラクロロシランとアンモニアとの化学反応により形成されることを特徴とする半導体装置。

【請求項8】 前記ゲート誘電層の誘電係数は8-1000であることを特徴とする請求項7に記載の半導体装置。

【請求項9】 前記ゲート誘電層は金属酸化物またはシリケートから形成されることを特徴とする請求項7または8に記載の半導体装置。

【請求項10】 前記窒化シリコン障壁層の厚みは5-20Åであることを特徴とする請求項7乃至9のうちいずれか一項に記載の半導体装置。

【請求項11】 前記窒化シリコン障壁層はLPCVD法を利用して且つ725°C-825°Cで形成されることを特徴とする請求項7乃至10のうちいずれか一項に記載の半導体装置。

【請求項12】 前記半導体装置はp型ゲート電極を有するpMOSトランジスタであることを特徴とする請求項7乃至11のうちいずれか一項に記載の半導体装置。

【請求項13】 前記半導体装置はn型ゲート電極を有

するnMOSトランジスタであることを特徴とする請求項7乃至11のうちいずれか一項に記載の半導体装置。

【請求項14】 前記半導体装置は、p型ゲート電極を有するpMOSトランジスタと、n型ゲート電極を有するnMOSトランジスタとからなるCMOSであることを特徴とする請求項7乃至11のうちいずれか一項に記載の半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はMOS型電界効果トランジスタ(MOSFET)装置の製造に関わり、特に、そのpMOS部に硼素ドーピングのゲートがあるCMOS装置における拡散障壁層を形成する方法に関する。

【0002】

【従来の技術】普段、CMOS回路はnMOS及びpMOS装置(部)を用いる集積回路として知られている。従来のCMOS装置では、燐ドーピングによりnMOS部及びpMOS部のそれぞれについてn<sup>+</sup>ゲート電極が形成される。チャネルが短く、即ち0.25μm以下である場合、短チャネル効果を最低限に抑えるために、pMOS部において硼素ドーピングによるp<sup>+</sup>ドーピング多結晶シリコンゲート電極を用いる必要がある。よって、p型ゲート電極を有するpチャネルMOSとn型ゲート電極を有するnチャネルMOSとからなるCMOS装置は二ゲートCMOSと呼ばれる。

【0003】従来、70nmレベル以下の熱酸化ゲート誘電質における縮小化という問題を解決するために良いゲート電極誘電材質とするという提案があった。ここでの良いゲート電極誘電材質としては、高誘電係数(high-k、誘電係数が高い)誘電材質、例えば、ZrO<sub>2</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>などが挙げられている。高誘電係数のゲート電極を用いる二ゲートCMOS装置を形成するには硼素の拡散がネックになっている。

【0004】即ち、pMOS部において、熱処理に際して硼素がゲート電極から高誘電係数の誘電材質を介してチャネル領域まで拡散することがある。チャネル領域に硼素が滲入すると、低電界ホール移動度(low field hole mobility)が低くなったり初期電圧(V<sub>t</sub>)が降下したりすることが生じられる。このため、如何に高誘電係数の誘電材質を用い硼素の滲入がない二ゲートCMOS装置を形成するかは解決すべき課題となる。

【0005】

【発明が解決しようとする課題】前記のような問題点を解決するため、本発明の第一の目的は、半導体装置において前記硼素滲入を防止するための拡散障壁層を形成する方法を提供することにある。

【0006】更に、本発明の第二の目的は、ゲート構造において拡散障壁層を形成しゲート電極からの不純物拡散が防止される半導体装置を提供することにある。

【0007】

【課題を解決するための手段】前記目的を達成するため

の本発明は、ゲート電極層と高誘電係数のゲート誘電層の間において、テトラクロロシランを反応物としての化学反応による窒化シリコン (tetrachlorosilane-based silicon nitride, TCS-SiN) 層を形成することを特徴とする。

【0008】このようなTCS-SiN層により、硼素等不純物がゲート電極から基板内部に拡散(滲入)することが防止される。TCS-SiN層は、従来のジクロロシランを反応物としての化学反応による窒化シリコン (dichlorosilane-based silicon nitride, DCS-SiN) 層と違って、即ち、高温製造段階で分解し水素が出ることがない。

【0009】具体的に、前記第一の目的を達成するための本発明の半導体装置における拡散障壁層の形成方法は、基板に高誘電係数のゲート誘電層を形成する段階と、前記ゲート誘電層に、CVD法を利用し且つテトラクロロシランとアンモニアとの化学反応で、後続に形成されるゲート電極層内不純物の拡散を阻止するための窒化シリコン障壁層を形成する段階とから構成される。

【0010】また、前記第二の目的を達成するための本発明の半導体装置は、ゲート電極層と高誘電係数のゲート誘電層との間に位置し前記ゲート電極層内不純物の拡散を阻止する窒化シリコン障壁層を有する半導体装置であって、前記窒化シリコン障壁層はCVD法を利用し且つテトラクロロシランとアンモニアとの化学反応により形成されることを特徴とする。

【0011】

【発明の実施の形態】前記の目的を達成して従来の欠点を除去するための課題を実行する本発明の実施例の構成とその作用を添付図面に基づき詳細に説明する。

【0012】図1乃至5は本発明実施例に係るpMOSトランジスタ製造方法による製造段階を示す図である。

【0013】なお、説明の簡単化のために、本実施例では、二ゲートCMOS装置のpMOS部の構成のみ説明するが、当業者はこのpMOS装置の構成からnMOSの構成を極めて容易に想到することができる。例えば、導電型の異なる不純物を入り替えることにより、nMOSから簡単にpMOSを構成することができる。

【0014】図1には半導体基板10の一部の断面が示されている。基板10は浅ドーピングのn型単結晶シリコンからなる。まず、基板10に対し、例えば、NH<sub>3</sub>またはNO<sub>2</sub>の環境でアニールを施すことで、3-10Åの薄窒化層12を基板10に形成する。この窒化層12は普段窒化シリコンまたは窒素酸化シリコンから構成される。

【0015】次に、窒化層12に高誘電係数(k)の誘電材質を堆積し厚みが20-200Åであるゲート誘電層14を形成する。ゲート誘電層14は、そのk値が8-1000であって、金属酸化物及びシリケートから構成される。ここで、金属酸化物としてはZrO<sub>2</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、TiO<sub>2</sub>、Ta<sub>2</sub>O<sub>5</sub>などが挙げられる。一方、シリケートとして

は、ZrSiO<sub>4</sub>、HfSiO<sub>4</sub>が挙げられる。また、ゲート誘電層14の形成方法としては、低圧CVD(化学気相堆積)法や、有機金属CVD法、噴射型気相堆積(jet vap deposition)法、スパッタ堆積法等が挙げられる。本実施例では、ゲート誘電層14は金属膜を堆積した上酸素ガスを有する環境でアニールを施すことにより形成される。

【0016】次に、図2に示すように、ゲート誘電層14を形成した後、障壁層として厚みが5-20Åである薄窒化シリコン層16を形成する。この薄窒化シリコン層16は不純物(例えばB、P、As)が基板10に滲入することを大幅に抑えることができる。なお、この窒化シリコン層16はCVD法を利用し且つテトラクロロシラン(tetrachlorosilane)とアンモニア(NH<sub>3</sub>)との化学反応で形成される(以下、該窒化シリコン層をTCS-SiN層と称する)。このように形成されるTCS-SiN層16は、従来のジクロロシラン(dichlorosilane)とNH<sub>3</sub>との化学反応によるもの(以下、DCS-SiN層と称する)と比べると、熱安定性が良い。これは図6及び7から分かる。

【0017】図6はDCS-SiN層におけるSiH結合濃度(content)とアニール(RTA)温度との関係を示すカーブである。図7はTCS-SiN層におけるNH結合濃度とアニール温度との関係を示すカーブである。

【0018】図6から分かるように、DCS-SiN層におけるSi-H結合は、高温の場合分解し水素が出るため、硼素の拡散(あるいは滲入)を促す。

【0019】一方、図7から見ると、TCS-SiN層におけるN-H結合は温度が1050°Cまで上がっても安定である。したがって、後続の高温製造段階においてTCS-SiN層が分解し水素が出ることがない。

【0020】本実施例では、TCS-SiN層16は725°C-825°Cの温度で低圧CVD(LPCVD)法により形成される。

【0021】次に、図3に示すように、MOSトランジスタのゲート電極としてゲート電極層18をTCS-SiN層16に形成する。該ゲート電極層18の材質は各種の導電材質であり得るが、多結晶シリコンは最適である。ゲート電極層18は多結晶シリコンによるものである場合、周知の方法、例えばCVD法により形成される。本実施例では、ゲート電極層18は、625°C以上の温度で厚みが750-1800Åである多結晶シリコンを形成してなるものであって、後続のイオン注入段階(ソース/ドレイン領域を形成するための段階)を経ると導電層になる。

【0022】次に、図4に示すように、エッチング法でゲート電極層18、TCS-SiN層16、ゲート誘電層14及び窒化層12をパターン化することによりゲート構造20を定義形成する。ここで、エッチング法としては、活性イオンエッチング法、化学プラズマエッチング法、またはその他の異方性エッチング法が挙げられる。

【0023】次に、図5(矢印21)に示すように、イオン注入を施すことにより、ソース/ドレイン領域22が形成されると共にゲート電極層18が導電層に変えら

10

20

30

40

50

れる。本実施例では、p型不純物（例えばBまたはBF<sub>2</sub>）を注入することによりpMOSトランジスタが形成される。

【0024】なお、nMOSトランジスタを形成しようとする場合、注入の不純物はn型不純物（例えばAsまたはP）が用いられる。

【0025】前述したイオン注入の場合、ゲート構造20はマスクとして利用されるため、基板10に形成されるソース／ドレイン領域22がゲート構造20の両側に位置し、ゲート構造20の下方即ちソース／ドレイン領域22の間にチャンネル領域24が形成される。なお、このようなイオン注入は、例えば、ドーズ量 $5 \times 10^{14} \sim 5 \times 10^{15}$  atoms/cm<sup>2</sup>及び注入エネルギー2～80keVを以て行われる。

【0026】なお、ソース／ドレイン領域22の活性化はその他の一つまたは一つ以上の高温製造段階と同時に行われる。普段、この活性化は金属化製造段階と共に行われる。また、ここで、必要な場合、ソース／ドレイン領域22に対しアニールを施しても良い。例えば、温度900℃～1075℃及び時間30～60秒で且つアルゴンガスやヘリウムガスまたは窒素ガス等の不活性ガスの環境においてRTA（快速アニール）を施す。

【0027】前述した高温製造段階に際して、ゲート電極層18内の不純物（例えばBまたはその他のもの）がゲート誘電層14を介してチャンネル領域14へ拡散する動向があるが、ゲート電極層18とゲート誘電層14の間に位置するTCS-SiN層16はその拡散の経路を殆ど遮断し、つまり、拡散障壁となるため、その不純物がチャンネル領域24に滲入することが防止される。

【0028】前述した本発明実施例の各製造段階により、高誘電係数のゲート誘電層を有し不純物の滲入を防止できるpMOSトランジスタが形成される。したがって、本発明は、pMOS部に硼素ドーピングのゲート電極がある必要がある二ゲートCMOS装置を製造するのに最適である。

【0029】図8は本発明実施例に係るTCS-SiN障壁層を有する二ゲートCMOS装置の構成を示す図である。ここで、図1乃至図5に示す実施例と同様な部分は同一符号で表示し、その説明を省略する。

【0030】図8において、CMOS装置2はnMOSトランジスタ及びpMOSトランジスタ活性領域となるウェル領域4、6を有する。本実施例では、半導体基板10表面に導電性質が異なる二ウェル（twin tub）活性領域、即ち、pウェル領域4とnウェル領域6が形成される。なお、ウェル領域の構成は本実施例に示すものに限らない。

【0031】前記の両トランジスタ領域は該両トランジスタの界面に形成されるトレンチ8により分離される。このような二ゲートCMOS装置2において、MOSTランジ

スタのゲート電極の導電型はチャネルのそれと同様であるため、pMOS部におけるゲート電極18は硼素またはその他のp型不純物をドーピングされたものであるが、nMOS部におけるゲート電極18はP、Asまたはその他のn型不純物をドーピングされたものである。ゲート構造20におけるTCS-SiN層16は不純物、特に硼素がチャネルに滲入することを防止することができる。

【0032】本発明は前記実施例の如く提示されているが、これは本発明を限定するものではなく、当業者は本発明の要旨と範囲内において変形と修正をすることができ

【0033】

【発明の効果】本発明によれば、ゲート電極層と高誘電係数のゲート誘電層の間にTCS-SiN層を形成することにより、不純物がゲート電極からチャンネル領域へ拡散することが防止される。よって、初期電圧及び低電界ホール移動度の低下を抑えることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係るpMOSトランジスタ製造方法による製造段階の一部分を示す断面図である。

【図2】図1に示す段階の後続の段階を示す断面図である。

【図3】図2に示す段階の後続の段階を示す断面図である。

【図4】図3に示す段階の後続の段階を示す断面図である。

【図5】図4に示す段階の後続の段階を示す断面図である。

【図6】DCS-SiN層におけるSiH結合濃度とアニール温度との関係を示すカーブである。

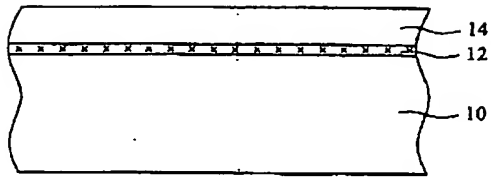
【図7】TCS-SiN層におけるNH結合濃度とアニール温度との関係を示すカーブである。

【図8】本発明実施例に係るTCS-SiN障壁層を設けるゲート構造を有する二ゲートCMOS装置の構成を示す図である。

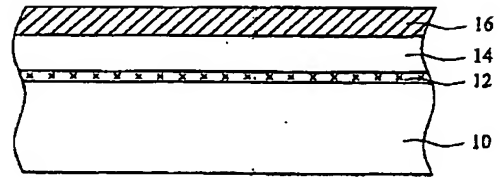
【符号の説明】

- 2 CMOS装置
- 4 pウェル
- 6 nウェル
- 8 トレンチ
- 10 半導体基板
- 12 窒化層
- 14 高誘電係数のゲート誘電層
- 16 TCS-SiN層
- 18 ゲート電極層
- 20 ゲート構造
- 21 イオン注入
- 22 ソース／ドレイン領域

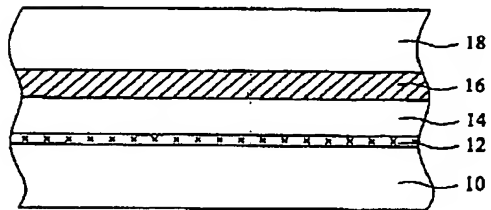
【図1】



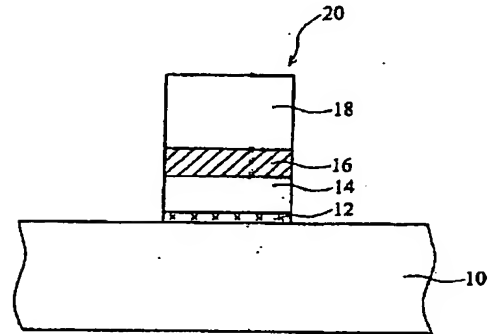
【図2】



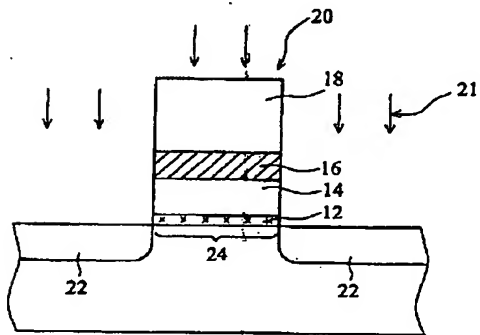
【図3】



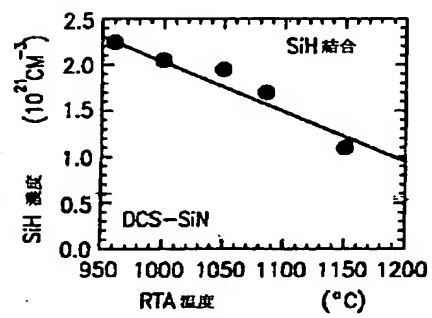
【図4】



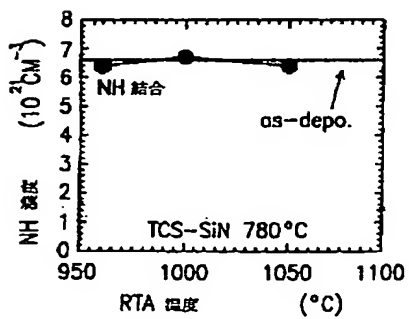
【図5】



【図6】



【図7】



(51)Int.Cl.<sup>7</sup>  
H O 1 L 29/49

F I

(72)発明者 シー・チュン ソン  
台湾、タイペイ、ウーシン ストリート、  
レーン600、32番

Fターム(参考)	4M104	AA01	BB01	BB40	EE03	EE16
		EE17	GG09	HH20		
	5F048	AC03	BA01	BB06	BB07	BB11
		BB12	BB14	BE03	BG14	
	5F058	BA05	BD02	BD10	BF04	BJ04
	5F140	AA28	AB03	AC01	BA01	BD02
		BD07	BD09	BD11	BD12	BD13
		BE07	BE09	BE10	BF01	BF04
		BG28	BG38	BG43	BG44	BG56
		BK13	BK21	CB08	CF07	